

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月13日

出 願 番 号

Application Number:

特願2002-269047

[ST.10/C]:

[JP2002-269047]

出 願 人

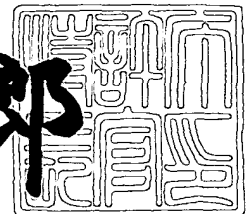
Applicant(s):

ソニー株式会社

2003年 6月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051623

【書類名】 特許願

【整理番号】 0290550001

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 13/38 330

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 小川 一哉

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 江本 晴一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司



【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送装置

【特許請求の範囲】

【請求項 1】 第 1 のクロックに同期してデータを送信する送信装置と、上記第 1 のクロックとは異なる第 2 のクロックに同期してデータを受信する受信装置とを有し、

上記送信装置は、送信許可信号を受信し、この送信許可信号に応じて、データが有効であることを示す送信イネーブル信号を送信するとともに、この送信イネーブル信号に同期してデータを送信し、

上記受信装置は、受信許可信号を受信し、受信した受信許可信号に応じて、データが有効であることを示す受信イネーブル信号を送信するとともに、この受信イネーブル信号に同期してデータを受信するクロック乗り換えシステムに適用されるデータ転送装置において、

上記送信装置から送信されたデータを送信イネーブル信号のタイミングでラッチし、ラッチしているデータが上記受信装置により上記受信イネーブル信号のタイミングで読み出されるデータラッチ手段と、

上記送信装置から送信された送信イネーブル信号を上記第 1 のクロックのタイミングでラッチし、ラッチした送信イネーブル信号を少なくとも上記第 1 のクロックの 1 周期分遅延させる第 1 のラッチ手段と、

上記第 1 のラッチ手段によりラッチされた送信イネーブル信号を上記第 2 のクロックのタイミングでラッチする第 2 のラッチ手段と、

上記第 2 のラッチ手段によりラッチされた送信イネーブル信号に応じて上記第 2 のクロックに同期した受信許可信号を送信し、上記受信装置から送信された受信イネーブル信号に応じて当該受信許可信号の送信を停止する受信許可信号発生手段と、

上記受信装置から送信された受信イネーブル信号を上記第 2 のクロックのタイミングでラッチし、ラッチした受信イネーブル信号を少なくとも上記第 2 のクロックの 1 周期分遅延させる第 3 のラッチ手段と、

上記第 3 のラッチ手段によりラッチされた受信イネーブル信号を上記第 1 のク

ロックのタイミングでラッチする第4のラッチ手段と、

上記第4のラッチ手段によりラッチされた受信イネーブル信号に応じて上記第1のクロックに同期した送信許可信号を送信し、上記送信装置から送信された送信イネーブル信号に応じて当該送信許可信号の送信を停止する送信許可信号発生手段とを備え、

上記第2のラッチ手段は、上記第1のラッチ手段によりラッチされた送信イネーブル信号を、連続して2回以上、上記第2のクロックのタイミングでラッチし

、  
上記第4のラッチ手段は、上記第3のラッチ手段によりラッチされた送信イネーブル信号を、連続して2回以上、上記第1のクロックのタイミングでラッチすること

を特徴とするデータ転送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、非同期のクロックで動作している2つのシステム間でデータの転送を行うデータ転送装置に関する。

【0002】

【従来の技術】

非同期のクロックを用いた2つのシステム間でデータの転送を行う場合、転送するデータのクロック乗り換え処理を行わなければならない。クロック乗り換え処理の方法としては、例えば、FIFOレジスタやRAMでクロック間のタイミング差を吸収する方法や、送信側及び受信側の2つのクロックから、同期タイミング用の新たなクロックを生成し、その新たなクロックに同期させてデータを転送する方法などがある。しかしながら、前者の方法では、FIFOレジスタやRAMが必要であるので、回路規模が大きくなってしまう。また、後者の方法でも、クロック比の情報やタイミング調整用のパラメータ情報等を入力する必要であったり、同期タイミング用のクロックを生成するための回路が必要であったりするので、やはり回路規模が大きくなってしまう。

## 【 0 0 0 3 】

また、送信データのイネーブル信号を受信側のクロックで検出して、その検出タイミングでデータを受信側に転送する方法もある。この方法の場合、回路規模は非常に小さくなるが、送信側のクロックよりも受信側のクロックの方が充分早くなければ実現できない。

## 【 0 0 0 4 】

以上のような問題を解決するシステムとして、従来より、図 5 に示すような、データ送信許可及びデータ受信許可を発生し、その許可信号に応じてデータの転送を行うクロック乗換えを行うシステムが提案されている。以下、この図 5 に示す従来のクロック乗り換えシステムについて説明をする。

## 【 0 0 0 5 】

従来のクロック乗り換えシステム 1 0 0 は、データの転送元の装置（以下、送信装置 1 0 1 という。）と、データの転送先の装置（以下、受信装置 1 0 2 という。）との間に、送信装置 1 0 1 から受信装置 1 0 2 へデータの受け渡しを行うデータ転送装置 1 0 3 が設けられた構成となっている。

## 【 0 0 0 6 】

送信装置 1 0 1 は、所定の周波数のクロック（送信クロック  $ckw$ ）で動作している。送信装置 1 0 1 は、所定のバス幅のデータをデータ出力端子から出力する。送信装置 1 0 1 は、データ転送を行う場合、送信クロック  $ckw$  に同期した送信データ  $dwi$  をデータ転送装置 1 0 3 へ送信する。

## 【 0 0 0 7 】

送信装置 1 0 1 は、データ転送を行う場合、バスを転送している送信データ  $dwi$  の送信タイミングを示す送信イネーブル信号  $ewi$  も、送信データ  $dwi$  に同期させてデータ転送装置 1 0 3 に出力する。送信イネーブル信号  $ewi$  は、送信クロック  $ckw$  に同期したハイ（H）及びロー（L）の 2 値信号で表される。送信イネーブル信号  $ewi$  は、送信装置 1 0 1 からデータ転送装置 1 0 3 へ送信データ  $dwi$  が転送されているタイミングで H とされ、送信データ  $dwi$  が転送されていないタイミングに L とされる。

## 【 0 0 0 8 】

送信装置 1 0 1 は、送信データ *dwi* の出力を許可することを意味する送信許可信号 *rwo* を、データ転送装置 1 0 3 から受信する。送信許可信号 *rwo* は、送信クロック *ckw* に同期したハイ（H）及びロー（L）の 2 値信号で表されている。送信装置 1 0 1 は、送信許可信号 *rwo* が 1 クロック分 H とされると、1 ワード分の送信データ *dwi* を送信クロック *ckw* に同期させてデータ転送装置 1 0 3 へ送信する。送信装置 1 0 1 は、送信許可信号 *rwo* が L とされている間は、送信データ *dwi* 及び送信イネーブル信号 *ewi* の送信を行わない。

## 【 0 0 0 9 】

受信装置 1 0 2 は、送信クロック *ckw* とは非同期のクロック（受信クロック *ckr*）で動作している。受信装置 1 0 2 は、所定のバス幅のデータをデータ入力端子から入力する。受信装置 1 0 2 は、データ転送を行う場合、受信クロック *ckr* に同期した受信データ *dro* をデータ転送装置 1 0 3 から受信する。

## 【 0 0 1 0 】

受信装置 1 0 2 は、バスを転送している受信データ *dro* の受信タイミングを示す受信イネーブル信号 *eri* を、受信クロック *ckr* に同期させてデータ転送装置 1 0 3 に出力する。受信イネーブル信号 *eri* は、受信クロック *ckr* に同期したハイ（H）及びロー（L）の 2 値信号で表される。受信イネーブル信号 *eri* は、データ転送装置 1 0 3 から受信装置 1 0 2 へ受信データ *dro* が転送されているタイミングで H とされ、受信データ *dro* が転送されていないタイミングに L とされる。

## 【 0 0 1 1 】

受信装置 1 0 2 は、受信データ *dro* の入力を許可することを意味する受信許可信号 *rro* を、データ転送装置 1 0 3 から受信する。受信許可信号 *rro* は、受信クロック *ckr* に同期したハイ（H）及びロー（L）の 2 値信号で表されている。受信装置 1 0 2 は、受信許可信号 *rro* が H である期間に、1 ワード分の受信データ *dro* をデータ転送装置 1 0 3 から受信クロック *ckr* に同期させて受信することができる。受信装置 1 0 2 は、受信許可信号 *rro* が L とされている間は、受信データ *dro* の受信及び受信イネーブル信号 *eri* の送信を行わない。

## 【 0 0 1 2 】

データ転送装置 1 0 3 は、送信イネーブル信号 *ewi* が H となったタイミングで

、1ワード分の送信データdwiを受信し、内部にラッチする。また、データ転送装置103は、受信イネーブル信号eriがHとなったタイミングで、内部にラッチしている1ワード分のデータが、受信装置102により読み出される。

## 【0013】

データ転送装置103は、送信装置101から送信イネーブル信号ewiが入力され、受信装置102から受信イネーブル信号eriが入力される。また、データ転送装置103は、送信許可信号rwoを送信装置101に出力し、受信許可信号rroを受信装置102に出力する。

## 【0014】

以上のようなクロック乗り換えシステム100では、次の(S1)～(S4)の処理を巡回的に行うこととなる。なお、例えば電源投入時やデータの転送開始の命令の受信時等のデータ転送の開始時には、データ転送装置103は、送信許可信号rwoをHとし、受信許可信号rroをLとしている。

## 【0015】

(S1) まず、送信装置101は、送信許可信号rwoがHとなったことを受けて、1ワード分の送信データdwiをデータ転送装置103に格納する。このとき、送信装置101は、送信データdwiの転送に同期させて、送信イネーブル信号ewiを1クロック分(送信クロックckw) Hとする。

## 【0016】

(S2) 続いて、データ転送装置103は、送信イネーブル信号ewiがHとなったことを受けて、送信許可信号rwoをLとするとともに、受信許可信号rroをHとする。なお、このとき、データ転送装置103は、送信イネーブル信号ewiがHとなったタイミング(例えば送信イネーブル信号ewiの立ち上がりエッジ)から、受信許可信号rroをHとするタイミング(例えば受信許可信号rroの立ち上がりエッジ)までの時間間隔に、送信クロックckwの1周期分以上の時間を空ける。このように時間間隔をとるのは、送信装置101から送信データdwiの格納が確実に完了することを保障するためである。

## 【0017】

(S3) 続いて、受信装置102は、受信許可信号rroがHとなったことを受



けて、1ワード分の受信データdroをデータ転送装置103から読み出す。このとき、受信装置102は、受信データdroの転送に同期させて、受信イネーブル信号eriを1クロック分（受信クロックckr）Hとする。

【0018】

（S4）続いて、データ転送装置103は、受信イネーブル信号eriがHとなったことを受けて、受信許可信号rroをLとするとともに、送信許可信号rwoをHとする。なお、このとき、データ転送装置103は、受信イネーブル信号eriがHとなったタイミング（例えば、受信イネーブル信号eriの立ち上がりエッジ）から、送信許可信号rwoをHとするタイミング（例えば送信許可信号rwoの立ち上がりエッジ）までの時間間隔として、受信クロックckrの1周期分以上の時間を空ける。このように時間間隔をとるのは、受信装置102の受信データdroの読み出しが確実に完了することを保障するためである。

【0019】

つぎに、データ転送装置103内の具体的な内部構成について説明をする。

【0020】

データ転送装置103は、図5に示すように、内部に、データラッチ111と、タイミング制御回路112とを備えている。

【0021】

データラッチ111は、送信クロックckwに同期して動作し、送信イネーブル信号ewiがHとなっていると、バス上の1ワード分の送信データdwiをラッチする。また、データラッチ111は、受信イネーブル信号eriがHとなったタイミングで、内部にラッチしている1ワード分のデータが、受信装置102により読み出される。

【0022】

タイミング制御回路112は、図6に示すように、第1～第4のSR-フリップフロップ回路（SR-FF回路）121～124と、第1～第2のD-フリップフロップ回路（D-FF回路）125～126と、第1～第2のOR演算回路（OR回路）127～128と、第1～第2の反転回路129～130と、第1～第2のAND演算回路（AND回路）131～132とを備えている。

## 【0023】

第1のSR-FF回路121は、セット端子(set)に送信装置101からの送信イネーブル信号ewiが入力され、リセット端子(rst)に第1のD-FF回路125の出力信号が入力されている。第1のSR-FF回路121は、クロック端子に送信クロックckwが入力されている。

## 【0024】

第2のSR-FF回路122は、セット端子(set)に第1のD-FF回路125の出力信号が入力され、リセット端子(rst)に第3のSR-FF回路123の出力信号が入力されている。第2のSR-FF回路122は、クロック端子に受信クロックckrが入力されている。

## 【0025】

第3のSR-FF回路123は、セット端子(set)に受信装置102からの受信イネーブル信号eriが入力され、リセット端子(rst)に第2のD-FF回路125の出力信号が入力されている。第3のSR-FF回路123は、クロック端子に受信クロックckrが入力されている。

## 【0026】

第4のSR-FF回路124は、セット端子(set)に第2のD-FF回路126の出力信号が入力され、リセット端子(rst)に第1のSR-FF回路121の出力信号が入力されている。第4のSR-FF回路124は、クロック端子に送信クロックckwが入力されている。

## 【0027】

第1のD-FF回路125は、入力端子(d)に第1のSR-FF回路121の出力信号が入力されている。第1のD-FF回路125は、クロック端子に受信クロックckrが入力されている。

## 【0028】

第2のD-FF回路126は、入力端子(d)に第3のSR-FF回路123の出力信号が入力されている。第2のD-FF回路126は、クロック端子に送信クロックckwが入力されている。

## 【0029】

第 1 の O R 回路 1 2 7 は、一方の入力端子に第 1 の D - F F 回路 1 2 5 の出力信号が入力され、他方の入力端子に第 2 の S R - F F 回路 1 2 2 の出力信号が入力されている。第 2 の O R 回路 1 2 8 は、一方の入力端子に第 2 の D - F F 回路 1 2 6 の出力信号が入力され、他方の入力端子に第 4 の S R - F F 回路 1 2 4 の出力信号が入力されている。

## 【 0 0 3 0 】

第 1 の反転回路 1 2 9 は、入力端子に第 3 の S R - F F 回路 1 2 3 の出力信号が入力されている。第 2 の反転回路 1 3 0 は、入力端子に第 1 の S R - F F 回路 1 2 1 の出力信号が入力されている。

## 【 0 0 3 1 】

第 1 の A N D 回路 1 3 1 は、一方の入力端子に第 1 の反転回路 1 2 9 の出力信号が入力され、他方の入力端子に第 1 の O R 回路 1 2 7 の出力信号が入力されている。第 2 の A N D 回路 1 3 2 は、一方の入力端子に第 2 の反転回路 1 3 0 の出力信号が入力され、他方の入力端子に第 2 の O R 回路 1 2 8 の出力信号が入力されている。

## 【 0 0 3 2 】

そして、以上のように接続されたタイミング制御回路 1 1 2 では、第 1 の A N D 回路 1 3 1 の出力信号が受信許可信号 *rro* として受信装置 1 0 2 に対して出力され、第 2 の A N D 回路 1 3 1 の出力信号が送信許可信号 *rwo* として送信装置 1 0 1 に対して出力される。

## 【 0 0 3 3 】

図 7 及び図 8 に、以上のような構成のタイミング制御回路を用いた場合における、各信号のタイミングチャートを示す。図 7 は、 $ckw < ckr$  の場合のタイミングチャートである。図 8 は、 $ckw > ckr$  の場合のタイミングチャートである。なお、図 7 及び図 8 中、A は第 1 の S R - F F 回路 1 2 1 の出力信号であり、B は第 1 の D - F F 回路 1 2 5 の出力信号であり、C は第 3 の S R - F F 回路 1 2 3 の出力信号であり、D は第 2 の D - F F 回路 1 2 6 の出力信号である。

## 【 0 0 3 4 】

以上のようにデータ送信許可及びデータ受信許可によりデータの転送を制御す

る従来のクロック乗り換えシステム 1 0 0 では、送信許可信号 rwo の発行→送信データ dwi の格納→受信許可信号 rro の発行→受信データ dro の読み出し→送信許可信号 rwo の発行→送信データ dwi の格納→・・・といった処理を繰り返していくこととなる。

## 【 0 0 3 5 】

従って、この従来のクロック乗り換えシステム 1 0 0 では、大容量の F I F O や R A M 等を用いることなく、且つ、非同期のクロック間のデータの転送を実現することができ、さらに、送信クロック ckw と受信クロック ckr とのクロック比がどのような値であっても、データの転送を実現できる。

## 【 0 0 3 6 】

## 【発明が解決しようとする課題】

ところで、第 1 の D - F F 回路 1 2 5 は、受信クロック ckr の立ち上がりタイミングで動作する。しかしながら、第 1 の D - F F 回路 1 2 5 がラッチする信号は、第 1 の S R - F F 回路 1 2 1 が送信クロック ckw の立ち上がりタイミングでラッチした信号である。そのため、第 1 の S R - F F 回路 1 2 1 が送信イネーブル信号 ewi をラッチしてから、次の受信クロック ckr の立ち上がりタイミングまでの時間間隔が非常に短くなってしまう場合がある。このようにラッチ間隔が短い場合、いわゆるメタステーブルと呼ばれる現象が生じる可能性があり、後段のラッチ回路（第 1 の D - F F 回路 1 2 5）の動作が不安定となってしまう。また、第 2 の D - F F 回路 1 2 6 も、同様にメタステーブルと呼ばれる現象が生じる可能性がある。

## 【 0 0 3 7 】

本発明は、このような従来の実情に鑑みて提案されたものであり、データ送信許可及びデータ受信許可によりデータの転送を制御するクロック乗り換えシステムにおいて、内部でメタステーブルの状態が生じたとしても、その影響を吸収して、常に安定したデータ転送を実現できるデータ転送装置を提供することを目的とする。

## 【 0 0 3 8 】

## 【課題を解決するための手段】

本発明にかかるデータ転送装置は、第1のクロックに同期してデータを送信する送信装置と、上記第1のクロックとは異なる第2のクロックに同期してデータを受信する受信装置とを有するクロック乗り換えシステムに適用される。

## 【0039】

上記送信装置は、送信許可信号を受信し、この送信許可信号に応じて、データが有効であることを示す送信イネーブル信号を送信するとともに、この送信イネーブル信号に同期してデータを送信する。また、上記受信装置は、受信許可信号を受信し、受信した受信許可信号に応じて、データが有効であることを示す受信イネーブル信号を送信するとともに、この受信イネーブル信号に同期してデータを受信する。

## 【0040】

このようなクロック乗り換えシステムに適用されるデータ転送装置は、データラッチ手段と、第1から第4のラッチ手段、並びに、受信許可信号発生手段及び送信許可発生手段を備えている。

## 【0041】

上記データラッチ手段は、送信装置から送信されたデータを送信イネーブル信号のタイミングでラッチし、ラッチしているデータが上記受信装置により上記受信イネーブル信号のタイミングで読み出される。

## 【0042】

上記第1のラッチ手段は、上記送信装置から送信された送信イネーブル信号を上記第1のクロックのタイミングでラッチし、ラッチした送信イネーブル信号を少なくとも上記第1のクロックの1周期分遅延させる。上記第2のラッチ手段は、上記第1のラッチ手段によりラッチされた送信イネーブル信号を上記第2のクロックのタイミングでラッチする。上記受信許可信号発生手段は、上記第2のラッチ手段によりラッチされた送信イネーブル信号に応じて上記第2のクロックに同期した受信許可信号を送信し、上記受信装置から送信された受信イネーブル信号に応じて当該受信許可信号の送信を停止する。

## 【0043】

上記第3のラッチ手段は、上記受信装置から送信された受信イネーブル信号を

上記第 2 のクロックのタイミングでラッチし、ラッチした受信イネーブル信号を少なくとも上記第 2 のクロックの 1 周期分遅延させる。上記第 4 のラッチ手段は、上記第 3 のラッチ手段によりラッチされた受信イネーブル信号を上記第 1 のクロックのタイミングでラッチする。上記送信許可信号発生手段は、上記第 4 のラッチ手段によりラッチされた受信イネーブル信号に応じて上記第 1 のクロックに同期した送信許可信号を送信し、上記送信装置から送信された送信イネーブル信号に応じて当該送信許可信号の送信を停止する。

## 【 0 0 4 4 】

以上のような構成のデータ転送装置では、上記第 2 のラッチ手段が、上記第 1 のラッチ手段によりラッチされた送信イネーブル信号を、連続して 2 回以上、上記第 2 のクロックのタイミングでラッチする。さらに、第 4 のラッチ手段は、上記第 3 のラッチ手段によりラッチされた送信イネーブル信号を、連続して 2 回以上、上記第 1 のクロックのタイミングでラッチする。

## 【 0 0 4 5 】

## 【発明の実施の形態】

以下、本発明の実施の形態として、本発明を適用したクロック乗り換えシステムについて説明をする。本実施の形態のクロック乗り換えシステムは、非同期のクロックを用いた 2 つのシステム間でデータの転送を行う際に、転送データのクロック乗り換え処理を行うためのシステムである。

## 【 0 0 4 6 】

図 1 に本発明の実施の形態のクロック乗り換えシステムのブロック構成図を示す。

## 【 0 0 4 7 】

本発明の実施の形態のクロック乗り換えシステム 1 は、データを送信する側の装置（以下、送信装置 1 1 という。）と、データを受信する側の装置（以下、受信装置 1 2 という。）との間に、送信装置 1 1 から受信装置 1 2 へデータの受け渡しを行うデータ転送装置 1 3 が設けられた構成となっている。

## 【 0 0 4 8 】

送信装置 1 1 は、所定の周波数のクロックで動作している。送信装置 1 1 の動

作クロックを、以下、送信クロックckwという。送信装置11は、所定のバス幅のデータをデータ出力端子から出力する。送信装置11は、データ転送を行う場合、送信クロックckwに同期したデータをデータ転送装置13へ送信する。送信装置11からデータ転送装置13へ送信されるデータを、以下、送信データdwiという。

## 【0049】

送信装置11は、データ転送を行う場合、バスを転送している送信データdwiの送信タイミングを示す送信イネーブル信号ewiも、送信データdwiに同期させてデータ転送装置13に出力する。送信イネーブル信号ewiは、送信クロックckwに同期したハイ（H）及びロー（L）の2値信号で表される。送信イネーブル信号ewiは、送信装置11からデータ転送装置13へ送信データdwiが転送されているタイミングでHとされ、送信データdwiが転送されていないタイミングにLとされる。

## 【0050】

送信装置11は、送信データdwiの出力を許可することを意味する送信許可信号rwoを、データ転送装置13から受信する。送信許可信号rwoは、送信クロックckwに同期したハイ（H）及びロー（L）の2値信号で表されている。送信装置11は、送信許可信号rwoが1クロック分Hとされると、1ワード分の送信データdwiを送信クロックckwに同期させてデータ転送装置13へ送信する。送信装置11は、送信許可信号rwoがLとされている間は、送信データdwi及び送信イネーブル信号ewiの送信を行わない。

## 【0051】

受信装置12は、送信クロックckwとは非同期のクロックで動作している。受信装置12の動作クロックを、以下、受信クロックckrいう。受信装置12は、所定のバス幅のデータをデータ入力端子から入力する。受信装置12は、データ転送を行う場合、受信クロックckrに同期したデータをデータ転送装置13から受信する。データ転送装置13から受信装置12へ転送されるデータを、以下、受信データdroという。

## 【0052】

受信装置 1 2 は、バスを転送している受信データ dro の受信タイミングを示す受信イネーブル信号 eri を、受信クロック ckr に同期させてデータ転送装置 1 3 に出力する。受信イネーブル信号 eri は、受信クロック ckr に同期したハイ（H）及びロー（L）の 2 値信号で表される。受信イネーブル信号 eri は、データ転送装置 1 3 から受信装置 1 2 へ受信データ dro が転送されているタイミングで H とされ、受信データ dro が転送されていないタイミングに L とされる。

## 【 0 0 5 3 】

受信装置 1 2 は、受信データ dro の入力を許可することを意味する受信許可信号 rro を、データ転送装置 1 3 から受信する。受信許可信号 rro は、受信クロック ckr に同期したハイ（H）及びロー（L）の 2 値信号で表されている。受信装置 1 2 は、受信許可信号 rro が 1 クロック分 H とされると、1 ワード分の受信データ dro をデータ転送装置 1 3 から受信クロック ckr に同期させて受信する。受信装置 1 2 は、受信許可信号 rro が L とされている間は、受信データ dro の受信及び受信イネーブル信号 eri の送信を行わない。

## 【 0 0 5 4 】

データ転送装置 1 3 は、送信イネーブル信号 ewi が H となったタイミングで、1 ワード分の送信データ dwi を送信装置 1 1 から受信して内部にラッチする。また、データ転送装置 1 3 は、受信イネーブル信号 eri が H となったタイミングで、内部にラッチしている 1 ワード分のデータが、受信装置 1 2 により読み出される。

## 【 0 0 5 5 】

データ転送装置 1 3 は、送信装置 1 1 から送信イネーブル信号 ewi が入力され、受信装置 1 2 から受信イネーブル信号 eri が入力される。また、データ転送装置 1 3 は、送信許可信号 rwo を送信装置 1 1 に出力し、受信許可信号 rro を受信装置 1 2 に出力する。

## 【 0 0 5 6 】

以上のようなクロック乗り換えシステム 1 では、次の（S 1 1）～（S 1 4）の処理を巡回的に行うこととなる。なお、例えば電源投入時やデータの転送開始の命令の受信時等のデータ転送の開始時には、データ転送装置 1 3 は、送信許可



信号`rwo`をHとし、受信許可信号`rro`をLとしている。

## 【 0 0 5 7 】

(S 1 1) まず、送信装置 1 1 は、送信許可信号`rwo`がHとなったことを受けて、1ワード分の送信データ`dwi`をデータ転送装置 1 3 に格納する。このとき、送信装置 1 1 は、送信データ`dwi`の転送に同期させて、送信イネーブル信号`ewi`を1クロック分（送信クロック`ckw`）Hとする。

## 【 0 0 5 8 】

(S 1 2) 続いて、データ転送装置 1 3 は、送信イネーブル信号`ewi`がHとなったことを受けて、送信許可信号`rwo`をLとするとともに、受信許可信号`rro`をHとする。なお、このとき、データ転送装置 1 3 は、送信イネーブル信号`ewi`がHとなったタイミング（例えば送信イネーブル信号`ewi`の立ち上がりエッジ）から、受信許可信号`rro`をHとするタイミング（例えば受信許可信号`rro`の立ち上がりエッジ）までの時間間隔に、送信クロック`ckw`の2周期分以上の時間を空ける。このように時間間隔をとるのは、送信装置 1 1 から送信データ`dwi`の格納が確実に完了することを保障し、さらに、送信クロック`ckw`から受信クロック`ckr`にデータの乗り換えを行う際に、メタステーブルと呼ばれる現象が生じても出力を安定化させるためである。

## 【 0 0 5 9 】

(S 1 3) 続いて、受信装置 1 2 は、受信許可信号`rro`がHとなったことを受けて、1ワード分の受信データ`dro`をデータ転送装置 1 3 から読み出す。このとき、受信装置 1 2 は、受信データ`dro`の転送に同期させて、受信イネーブル信号`eri`を1クロック分（受信クロック`ckr`）Hとする。

## 【 0 0 6 0 】

(S 1 4) 続いて、データ転送装置 1 3 は、受信イネーブル信号`eri`がHとなったことを受けて、受信許可信号`rro`をLとするとともに、送信許可信号`rwo`をHとする。なお、このとき、データ転送装置 1 3 は、受信イネーブル信号`eri`がHとなったタイミング（例えば、受信イネーブル信号`eri`の立ち上がりエッジ）から、送信許可信号`rwo`をHとするタイミング（例えば送信許可信号`rwo`の立ち上がりエッジ）までの時間間隔として、受信クロック`ckr`の1周期分以上の時間を空

ける。このように時間間隔をとるのは、受信装置 1 2 の受信データ  $dro$  の読み出しが確実に完了することを保障し、さらに、送信クロック  $ckw$  から受信クロック  $ckr$  にデータの乗り換えを行う際に、メタステーブルと呼ばれる現象が生じても出力を安定化させるためである。

## 【 0 0 6 1 】

つぎに、データ転送装置 1 3 内の具体的な内部構成について、図 2 を参照して説明をする。

## 【 0 0 6 2 】

データ転送装置 1 3 は、図 2 に示すように、内部に、データラッチ 2 1 と、タイミング制御回路 2 1 とを備えている。

## 【 0 0 6 3 】

データラッチ 2 1 は、クロック入力端子が設けられ、このクロック入力端子に入力される信号の立ち上がりエッジに同期して動作するラッチ回路である。データラッチ 2 1 は、このクロック入力端子に送信クロック  $ckw$  が入力される。データラッチ 2 1 は、入力端子 ( $d$ )、イネーブル端子 ( $en$ ) 及び出力端子 ( $q$ ) を備えている。入力端子 ( $d$ ) には、送信装置 1 1 から送信データが入力され、イネーブル端子 ( $en$ ) には、送信装置 1 1 から送信イネーブル信号  $ewi$  が入力される。データラッチ 2 1 は、送信イネーブル信号  $ewi$  が H となっていると、バス上の 1 ワード分の送信データ  $dwi$  をラッチする。また、受信端子 ( $q$ ) は、受信装置 1 2 のデータ入力端子に接続されている。データラッチ 2 1 は、受信イネーブル信号  $eri$  が H となったタイミングで、内部にラッチしている 1 ワード分のデータが、受信装置 1 2 により読み出される。

## 【 0 0 6 4 】

タイミング制御回路 2 1 は、第 1 ～ 第 4 の SR-フリップフロップ回路 (SR-FF 回路) 3 1 ～ 3 4 と、第 1 ～ 第 4 の D-フリップフロップ回路 (D-FF 回路) 3 5 ～ 3 8 と、第 1 ～ 第 2 の反転回路 3 9 ～ 4 0 と、第 1 ～ 第 4 の AND 演算回路 (AND 回路) 4 1 ～ 4 4 とを備えている。

## 【 0 0 6 5 】

第 1 ～ 第 4 の SR-FF 回路 3 1 ～ 3 4 は、クロック入力端子が設けられ、こ

のクロック入力端子に入力される信号のタイミング（例えば、立ち上がりエッジ）に同期して動作するSR-フリップフロップ回路である。つまり、第1～第4のSR-FF回路31～34は、セット端子(set)、リセット端子(rst)、出力端子(q)が設けられている。第1～第4のSR-FF回路31～34は、セット端子(set)がHとなっていると内部状態をHとし、その後にリセット端子(rst)がHとなるまでそのHとなっている内部状態を保持し続ける。第1～第4のSR-FF回路31～34は、リセット端子(rst)がHとなると、その内部状態をLにリセットする。第1～第4のSR-FF回路31～34は、内部状態が出力端子(q)に反映されている。

## 【0066】

また、第1～第4のSR-FF回路31～34には、初期化端子(xrs,spr)が設けられている。第1～第3のSR-FF回路31～33は、初期化端子(xrs)がHとされると、強制的に内部状態をLとする。第4のSR-FF回路34は、初期化端子(spr)がHとされると、強制的に内部状態をHとする。

## 【0067】

第1～第4のD-FF回路35～38は、クロック入力端子が設けられ、このクロック入力端子に入力される信号のタイミング（例えば、立ち上がりエッジ）に同期して動作するD-フリップフロップ回路である。つまり、第1～第4のD-FF回路35～38は、入力端子(d)、出力端子(q)が設けられている。第1～第4のD-FF回路35～38は、入力端子(d)に入力された値（ハイ(H)又はロー(L)）を、1クロック期間分ラッチする。第1～第4のD-FF回路35～38は、その内部状態が出力端子(q)に反映されている。

## 【0068】

第1～第2の反転回路39～40は、1つの入力端子及び1つの出力端子が設けられており、入力端子に入力された値（ハイ(H)又はロー(L)）を反転して、出力端子に反映する回路である。

## 【0069】

第1～第4のAND回路39～44は、2つの入力端子及び1つの出力端子が設けられており、この2つの入力端子に入力された2つの値（ハイ(H)又はロ

ー (L) ) の AND 論理演算を行い、出力端子に反映する回路である。

【 0 0 7 0 】

タイミング制御回路 2 1 では、以上のような各回路が次のように接続されている。

【 0 0 7 1 】

第 1 の SR-F F 回路 3 1 は、セット端子 (set) に送信装置 1 1 からの送信イネーブル信号 ewi が入力され、リセット端子 (rst) に第 1 の AND 回路 4 1 の出力信号が入力されている。第 1 の SR-F F 回路 3 1 は、クロック端子に送信クロック ckw が入力されている。

【 0 0 7 2 】

第 1 の D-F F 回路 3 5 は、入力端子 (d) に第 1 の SR-F F 回路 3 1 の出力信号が入力されている。第 1 の D-F F 回路 3 5 は、クロック端子に受信クロック ckr が入力されている。

【 0 0 7 3 】

第 2 の D-F F 回路 3 6 は、入力端子 (d) に第 1 の D-F F 回路 3 5 の出力信号が入力されている。第 2 の D-F F 回路 3 6 は、クロック端子に受信クロック ckr が入力されている。

【 0 0 7 4 】

第 2 の SR-F F 回路 3 2 は、セット端子 (set) に第 3 の AND 回路 4 2 の出力信号が入力され、リセット端子 (rst) に受信イネーブル信号 eri が入力されている。第 2 の SR-F F 回路 3 2 は、クロック端子に受信クロック ckr が入力されている。

【 0 0 7 5 】

第 3 の SR-F F 回路 3 3 は、セット端子 (set) に受信装置 1 2 からの受信イネーブル信号 eri が入力され、リセット端子 (rst) に第 2 の AND 回路 4 2 の出力信号が入力されている。第 3 の SR-F F 回路 3 3 は、クロック端子に受信クロック ckr が入力されている。

【 0 0 7 6 】

第 3 の D-F F 回路 3 7 は、入力端子 (d) に第 3 の SR-F F 回路 3 3 の出力

信号が入力されている。第 3 の D-F F 回路 3 7 は、クロック端子に送信クロック ckw が入力されている。

【 0 0 7 7 】

第 4 の D-F F 回路 3 8 は、入力端子 (d) に第 3 の D-F F 回路 3 7 の出力信号が入力されている。第 4 の D-F F 回路 3 8 は、クロック端子に送信クロック ckw が入力されている。

【 0 0 7 8 】

第 4 の S R-F F 回路 3 4 は、セット端子 (set) に第 4 の A N D 回路 4 4 の出力信号が入力され、リセット端子 (rst) に送信イネーブル信号 ewi が入力されている。第 4 の S R-F F 回路 3 4 は、クロック端子に送信クロック ckw が入力されている。

【 0 0 7 9 】

第 1 の反転回路 3 9 は、入力端子に第 2 の D-F F 回路 3 6 の出力信号が入力されている。

【 0 0 8 0 】

第 2 の反転回路 4 0 は、入力端子に第 4 の D-F F 回路 3 8 の出力信号が入力されている。

【 0 0 8 1 】

第 1 の A N D 回路 4 1 は、一方の入力端子に第 1 の D-F F 回路 3 5 の出力信号が入力され、他方の入力端子に第 2 の D-F F 回路 3 6 の出力信号が入力されている。

【 0 0 8 2 】

第 2 の A N D 回路 4 2 は、一方の入力端子に第 3 の D-F F 回路 3 7 の出力信号が入力され、他方の入力端子に第 4 の D-F F 回路 3 8 の出力信号が入力されている。

【 0 0 8 3 】

第 3 の A N D 回路 4 3 は、一方の入力端子に第 1 の反転回路 3 9 の出力信号が入力され、他方の入力端子に第 1 の D-F F 回路 3 5 の出力信号が入力されている。

## 【 0 0 8 4 】

第 4 の AND 回路 4 4 は、一方の入力端子に第 2 の反転回路 4 0 の出力信号が入力され、他方の入力端子に第 3 の D-F F 回路 3 7 の出力信号が入力されている。

## 【 0 0 8 5 】

そして、以上のように接続されたタイミング制御回路 2 2 では、第 2 の S R-F F 回路 3 2 の出力信号が、受信許可信号 rro として受信装置 1 2 に対して出力され、第 4 の S R-F F 回路の出力信号が、送信許可信号 rwo として送信装置 1 1 に対して出力される。

## 【 0 0 8 6 】

図 3 及び図 4 に、以上のような構成のタイミング制御回路 2 2 のタイミングチャートを示す。図 3 は、 $ckw < ckr$  の場合のタイミングチャートである。図 4 は、 $ckw > ckr$  の場合のタイミングチャートである。なお、図 3 及び図 4 中、A は第 1 の S R-F F 回路 3 1 の出力信号であり、B は第 1 の D-F F 回路 3 5 の出力信号であり、C は第 2 の D-F F 回路 3 6 の出力信号であり、D は第 3 の S R-F F 回路 3 3 の出力信号であり、E は第 3 の D-F F 回路 3 7 の出力信号であり、F は第 4 の D-F F 回路 3 8 の出力信号である。

## 【 0 0 8 7 】

ここで、第 1 の D-F F 回路 3 5 は、受信クロック ckr の立ち上がりタイミングで動作する。しかしながら、第 1 の D-F F 回路 3 5 がラッチする信号は、第 1 の S R-F F 回路 3 1 が送信クロック ckw の立ち上がりタイミングでラッチした信号である。そのため、第 1 の S R-F F 回路 3 1 が送信イネーブル信号 ewi をラッチしてから、次の受信クロック ckr の立ち上がりタイミングまでの時間間隔が非常に短くなってしまう場合がある。このようにラッチ間隔が短い場合、いわゆるメタステーブルと呼ばれる現象が生じる可能性があり、第 1 の D-F F 回路 3 5 の動作が不安定となってしまう。また、第 3 の D-F F 回路 3 7 も、同様にメタステーブルと呼ばれる現象が生じる可能性がある。

## 【 0 0 8 8 】

しかしながら、このタイミング制御回路 2 2 では、第 1 の D-F F 回路 3 5 の

後段で、もう一度受信クロックckrの立ち上がりタイミングで動作する第2のD-F F回路35が設けられており、この第2のD-F F回路36がラッチしている信号に基づき受信許可信号rroが生成されている。同様に、第3のD-F F回路37の後段で、もう一度送信クロックckwの立ち上がりタイミングで動作する第4のD-F F回路35が設けられており、この第4のD-F F回路38がラッチしている信号に基づき送信許可信号rwoが生成されている。

## 【0089】

従って、このタイミング制御回路22では、上記第1のD-F F回路35及び第3のD-F F回路37においてメタステーブルが生じて動作が不安定となったとしても、後段の第2のD-F F回路36及び第4のD-F F回路38でその影響が除去され、常に安定した制御信号を出力することが可能となっている。

## 【0090】

以上のように本発明の実施の形態のクロック乗り換えシステム1では、送信許可信号rwoの発行→送信データdwiの格納→受信許可信号rroの発行→受信データdroの読み出し→送信許可信号rwoの発行→送信データdwiの格納→・・・といった処理を繰り返していくこととなる。このクロック乗り換えシステム1では、大容量のFIFOやRAM等を用いることなく、且つ、非同期のクロック間のデータの転送を実現することができ、さらに、送信クロックckwと受信クロックckrとのクロック比がどのような値であっても、データの転送を実現できる。

## 【0091】

さらに、本発明の実施の形態のクロック乗り換えシステム1では、送信クロックckwに同期した送信イネーブル信号ewiを受信すると、この受信に応じて送信データdwiが格納されたことを確認し、受信クロックckrに同期した受信許可信号rroを発行する。また、受信クロックckrに同期した受信イネーブル信号eriを受信すると、この受信に応じて受信データdroが読み出されたことを確認し、送信クロックckwに同期した送信許可信号rwoを発行する。この際、クロック乗り換えシステム1では、送信イネーブル信号ewiを、連続して2回以上受信クロックckrのタイミングでラッチし、この後に、受信許可信号rroを発行する。また、クロック乗り換えシステム1では、受信イネーブル信号eriを、連続して2回以上送信

クロックckwのタイミングでラッチし、この後に、送信許可信号rwoを発行する。

【0092】

このため、本発明の実施の形態のクロック乗り換えシステム1では、送信クロックckwと受信クロックckrとの境界のラッチ回路でメタステーブルの状態が生じたとしても、その影響を吸収して、常に安定したデータ転送を実現することができる。

【0093】

【発明の効果】

本発明にかかるデータ転送装置では、送信装置が当該データ転送装置からデータ送信許可を受けて1ワード分のデータを当該データ転送装置に送信し、受信装置が当該データ転送装置からデータ受信許可を受けて1ワード分のデータ当該データ転送装置から受信するシステムに用いられる。

【0094】

本発明にかかるデータ転送装置では、送信装置の動作クロックである第1のクロックでラッチした信号を、その後に受信装置の動作クロックである第2のクロックでラッチする場合、少なくとも連続して2回以上第2のクロックタイミングでラッチする。同様に、本発明にかかるデータ転送装置では、第2のクロックでラッチした信号を、その後に第1のクロックでラッチする場合、少なくとも連続して2回以上第1のクロックタイミングでラッチする。

【0095】

このため本発明にかかるデータ転送装置では、第1のクロックでラッチした信号を続けて第2のクロックでラッチする場合、或いは、第2のクロックでラッチした信号を続けて第1のクロックでラッチする場合、内部でメタステーブルの状態が生じたとしても、その影響を吸収して、常に安定したデータ転送を実現することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態のクロック乗り換えシステムのブロック構成図である。

【図2】



上記クロック乗り換えシステムで用いられるデータ転送装置の回路図である。

【図 3】

図 2 に示すデータ転送装置のタイミングチャート ( $ckw < ckr$ ) である。

【図 4】

図 2 に示すデータ転送装置のタイミングチャート ( $ckw > ckr$ ) である。

【図 5】

従来のクロック乗り換えシステムのブロック構成図である。

【図 6】

上記従来のクロック乗り換えシステムで用いられるデータ転送装置の回路図である。

【図 7】

図 6 に示すデータ転送装置のタイミングチャート ( $ckw < ckr$ ) である。

【図 8】

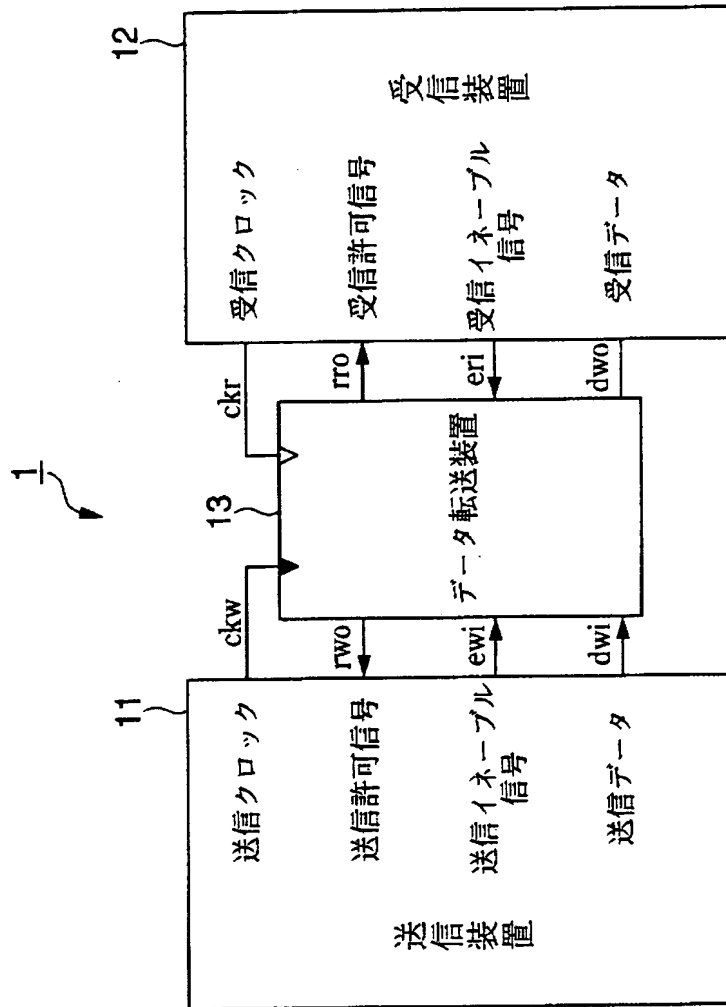
図 6 に示すデータ転送装置のタイミングチャート ( $ckw > ckr$ ) である。

【符号の説明】

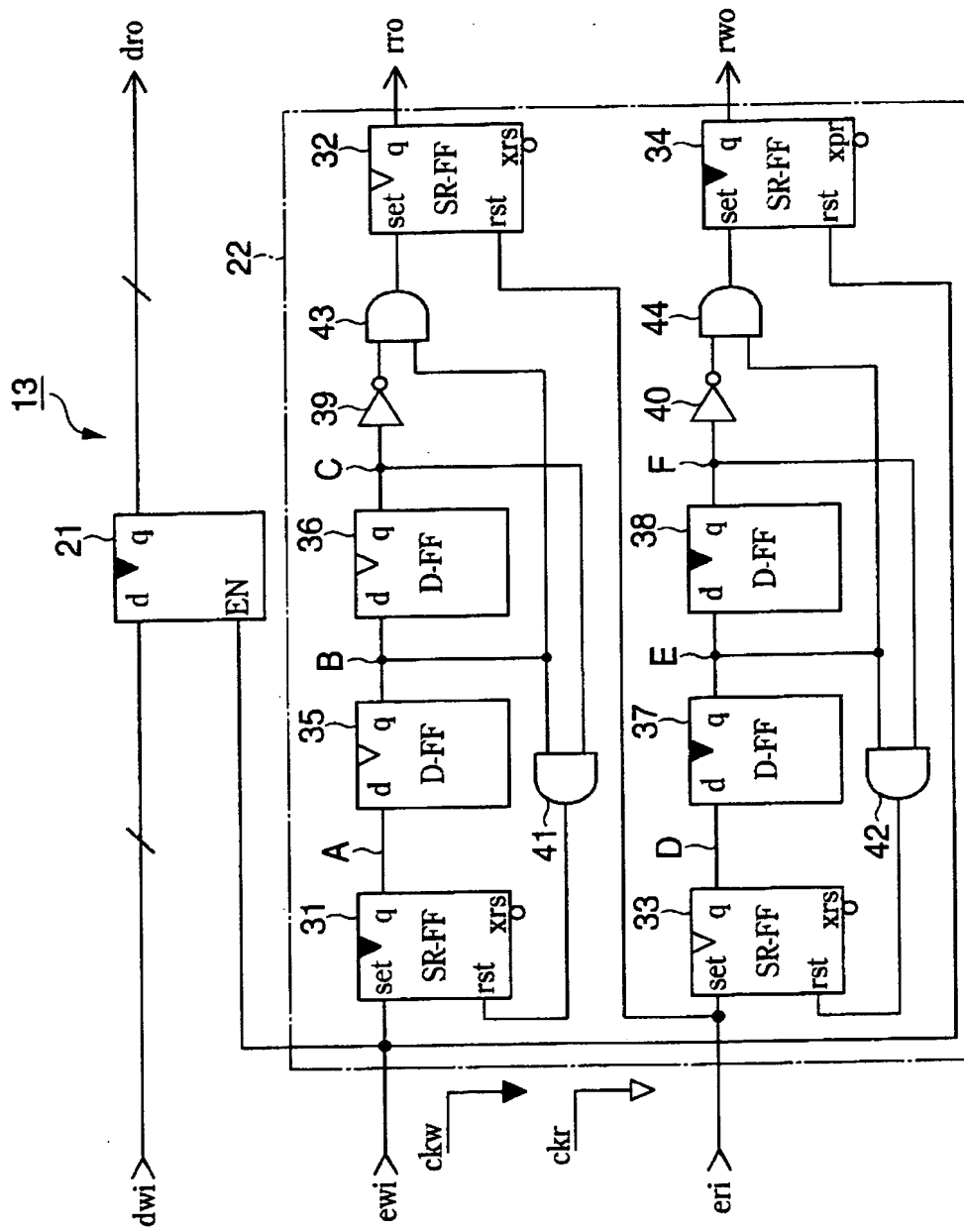
1 クロック乗り換えシステム、1 1 送信装置、1 2 受信装置、1 3 データ転送装置、2 1 データラッチ回路、2 2 タイミング制御回路

【書類名】 図面

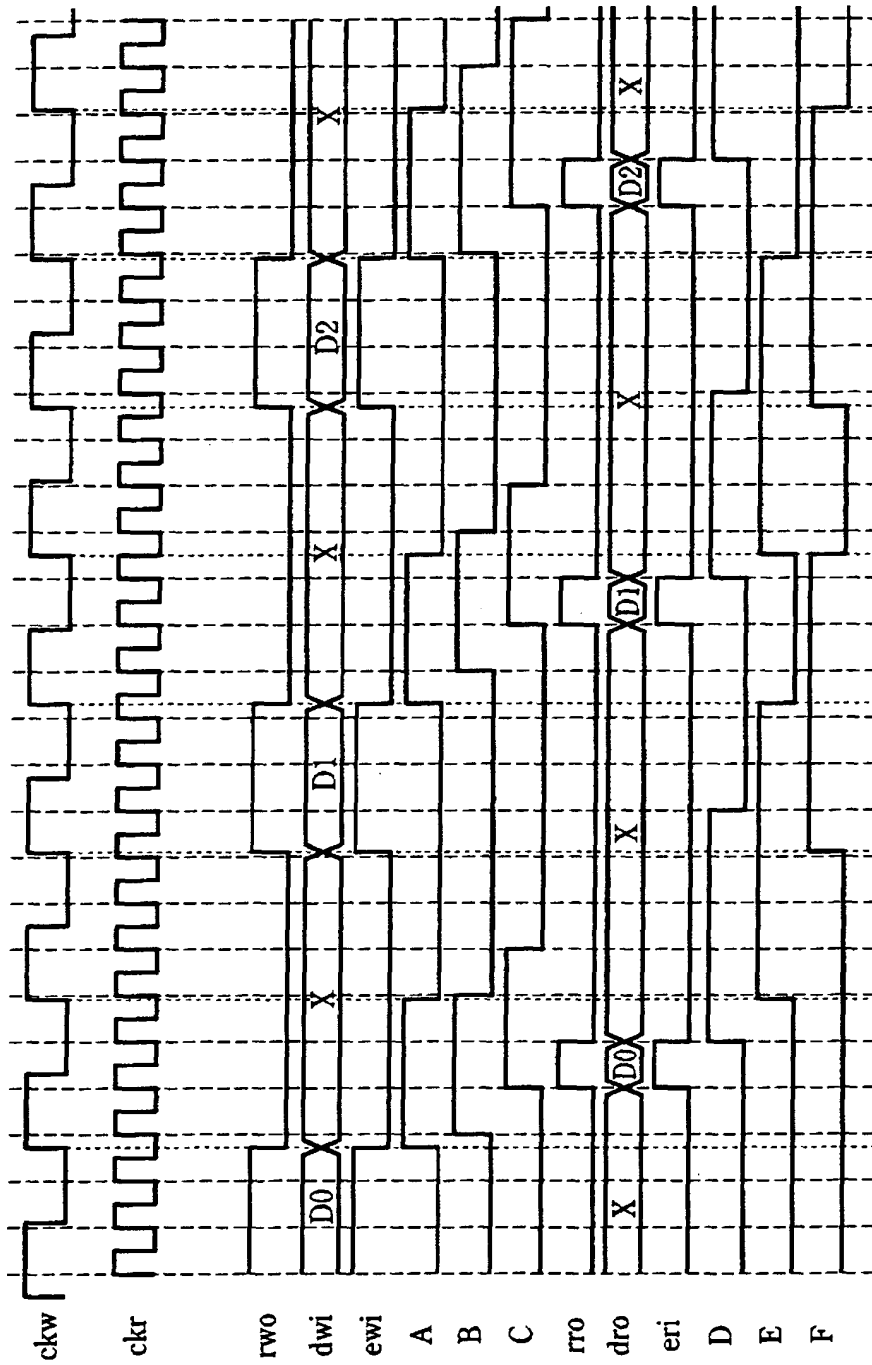
【図 1】



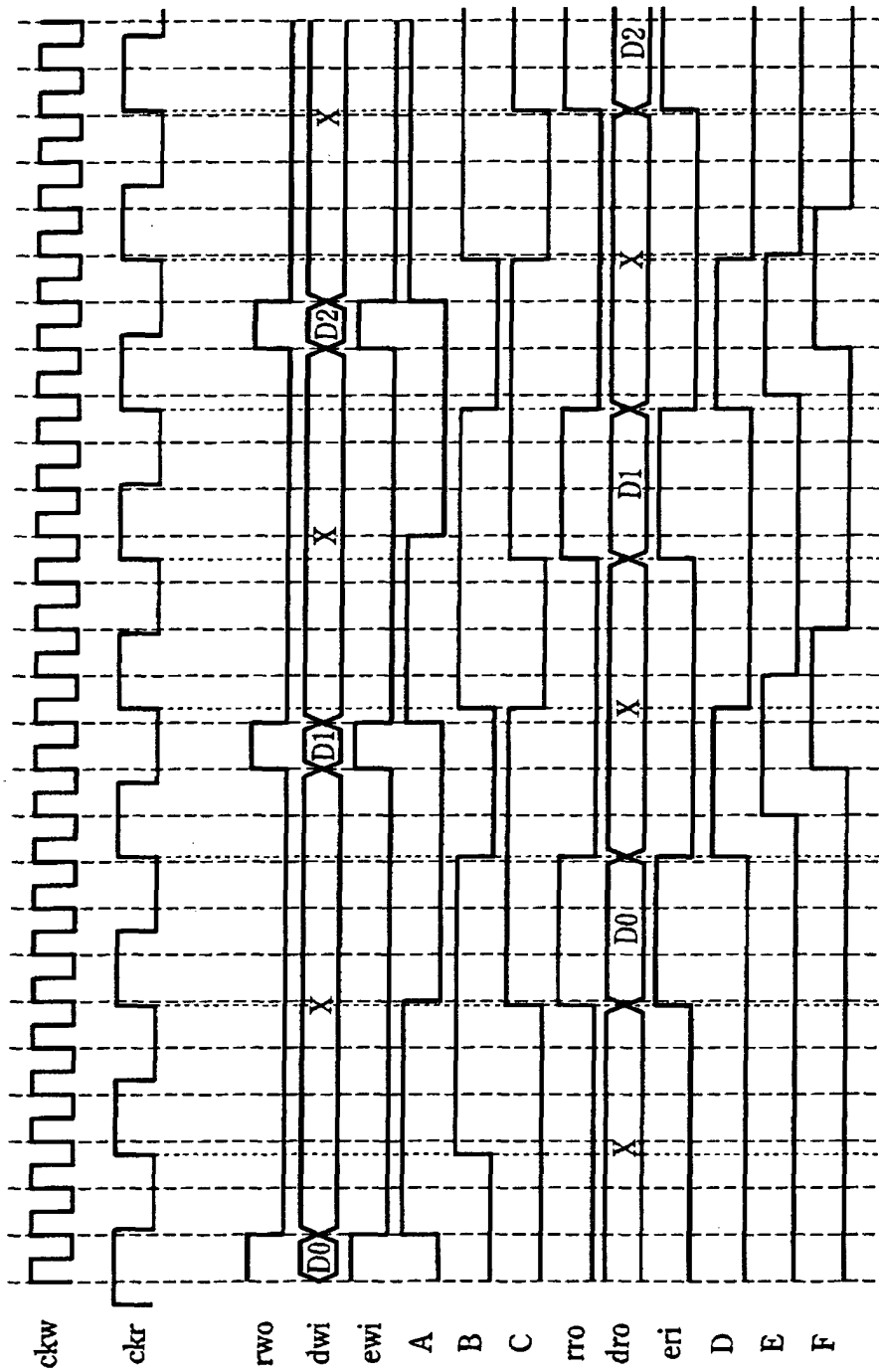
【図 2】



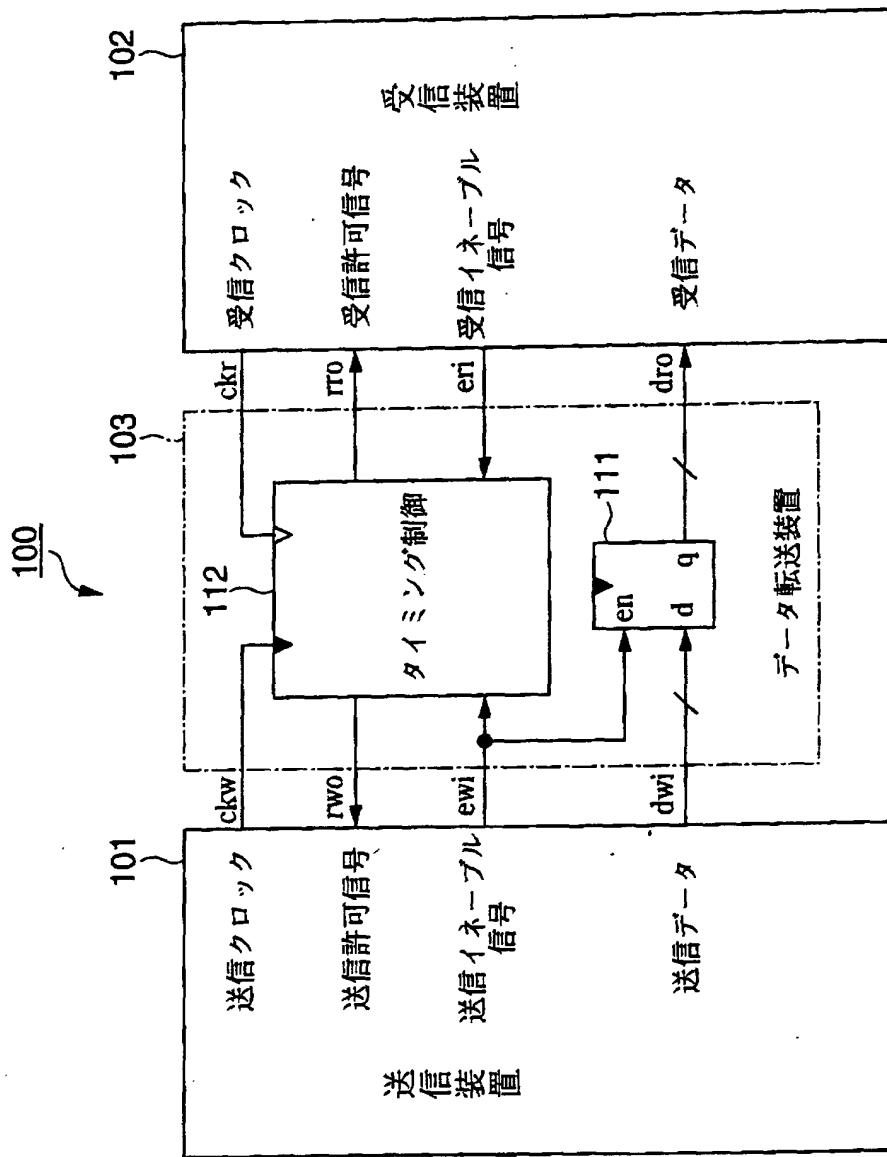
【図3】



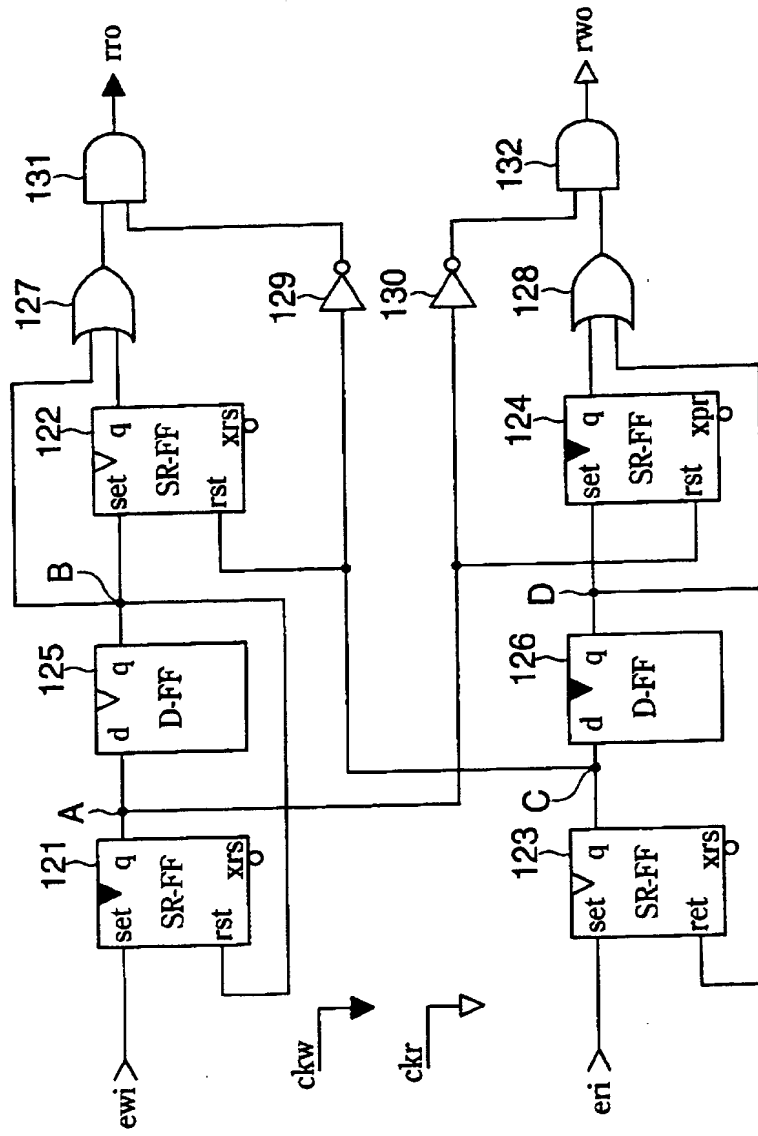
【図4】



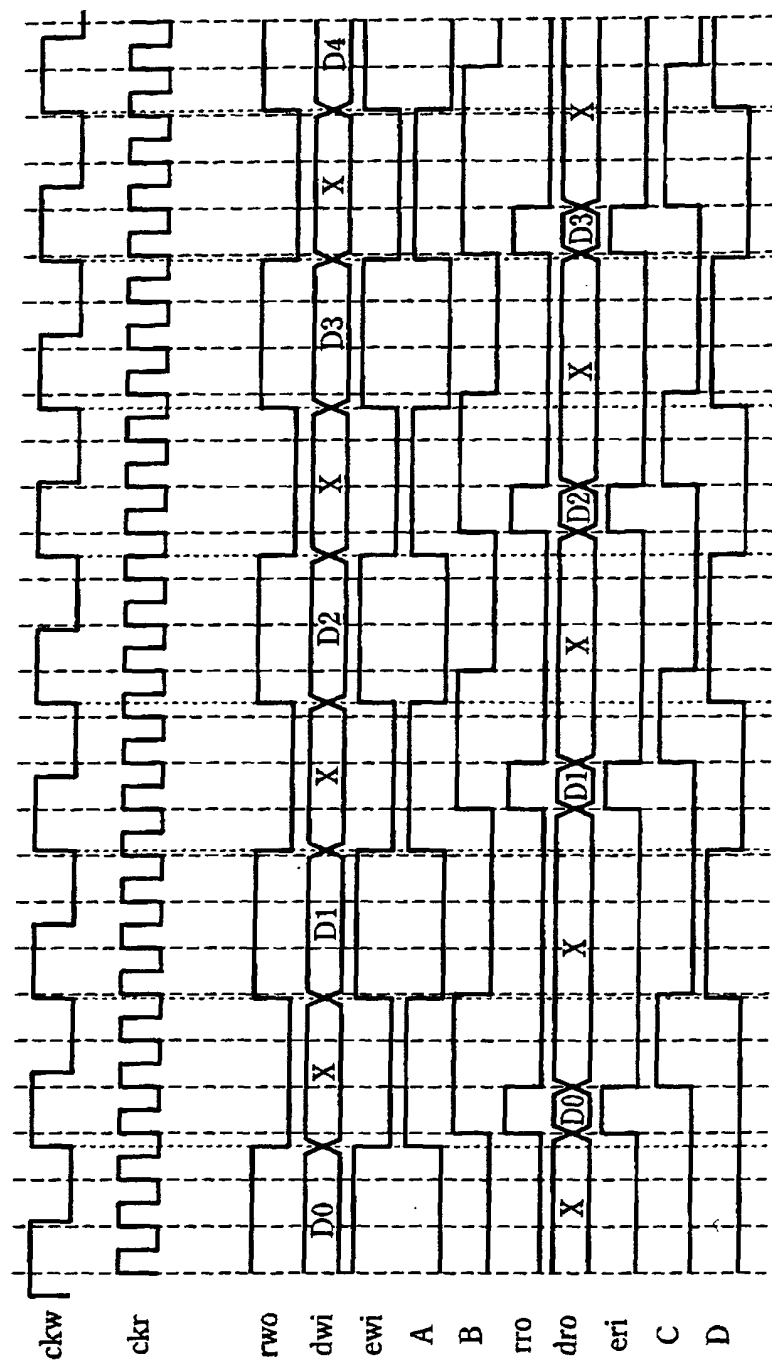
【図5】



【図 6】

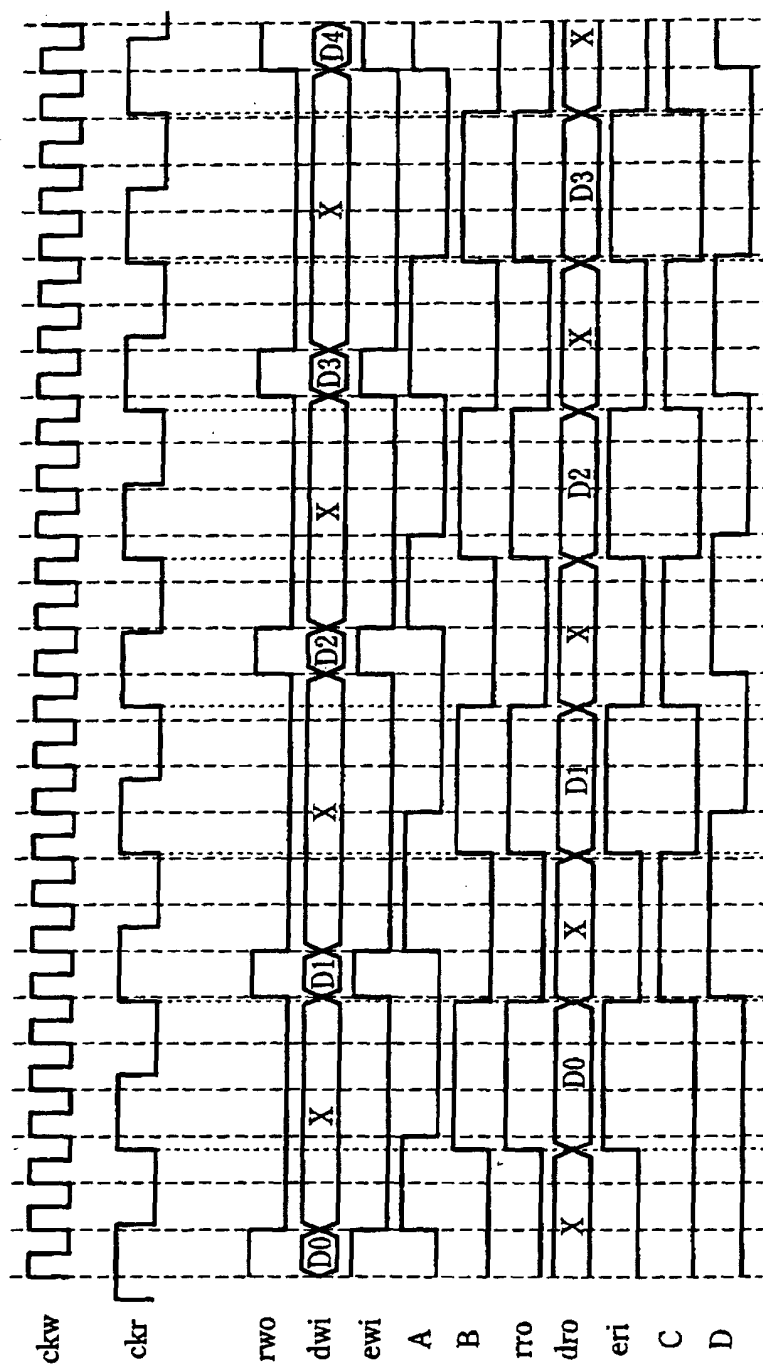


【図 7】





【図 8】



【書類名】 要約書

【要約】

【課題】 データ送信許可 $rwo$ 及びデータ受信許可 $rro$ によりデータの転送を制御するクロック乗り換えシステムにおいて、内部でメタステーブルの状態が生じたとしても、その影響を吸収して常に安定したデータ転送を実現する。

【解決手段】 データ転送装置 1 3 は、送信イネーブル $ewi$ のタイミングで転送データをラッチし、受信イネーブル $eri$ のタイミングで読み出されるデータラッチ 2 1 と、送信イネーブル $ewi$ を少なくとも送信クロック $ckw$ の 1 周期分遅延させラッチする第 1 の S R - F F 回路 3 1 と、受信イネーブル $eri$ を少なくとも受信クロック $ckr$ の 1 周期分遅延させラッチする第 3 の S R - F F 回路 3 3 と備える。データ転送装置 1 3 では、第 1 の S R - F F 回路 3 1 でラッチされた信号を連続して 2 回受信クロック $ckr$ のタイミングでラッチし、受信許可信号 $rro$ を生成し、第 3 の S R - F F 回路 3 3 でラッチされた信号を連続して 2 回送信クロック $ckw$ のタイミングでラッチし、送信許可信号 $rwo$ を生成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社
2. 変更年月日 2003年 5月15日  
[変更理由] 名称変更  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社